

FPGA 技術交流会 開催のお知らせ

総合技術研究会 2017 東京大学 実行委員長 栄 慎也

2016 年 6 月

1 開催趣旨

本技術交流会は「総合技術研究会 2017 東京大学」の参加者を対象に、各技術分野に関係する東京大学内の各施設で開催し、参加者との意見交換と技術交流を行うものとする。

2 開催分野とテーマ

Xilinx 社の最新の開発環境である Vivado の使用方法を主として、FPGA ボード Nexys-4 DDR(Artix-7) による初心者向けの技術講習会 (短縮版) を実施する。この講習会の元々のカリキュラムはアクティブラーニングに準じて設計されており、そのデモンストレーションも兼ねる。よって、FPGA、Vivado の使用方法についてのみならず、講習会後に学生実験のカリキュラム開発での設計概念についての議論、交流も持ちたい。

3 開催要領

3.1 代表者

理学系研究科・理学部 技術部 技術専門職員 八幡 和志

3.2 日程

講習会: 2017 年 3 月 8 日 (水) 13:00 ~ 17:00

名刺交換会: 同 17:30 から (カンポパーティー:自分が飲食するものを持参のこと)

3.3 定員

実習参加は、FPGA ボードの数により 6 名まで。これを超えた場合は、見学者として 20 名程度まで受け付ける。(先着順)

(2016/10/7 追記) 申し込み数が 6 名に達しました。これからの申し込みについても FPGA ボードを持参、現地購入して頂ければ実習に参加できます。また、既に申し込まれた方も、持参されることがあるので、あきらめずにご相談下さい。

3.4 携行品

実習に参加される方は、Xilinx 社の VivadoDesign Suite (Web Pack 版 以上) をインストールしたノート PC を持参のこと。

3.5 連絡先、応募方法、締切日

氏名、所属機関、部局、住所、電話番号 を記入の上、e-mail にて、
sougoujyutsu2017.fpga@gmail.com
まで、2017 年 1 月 31 日（火）までに申し込みのこと。後日、申込者にご連絡いたします。なお、これらの情報は、受付業務と名札の作成に使用します。

3.6 会場

〒113-0033 文京区本郷 7-3-1
東京大学理学部 1 号館 (予定)
アクセス情報はこちら http://www.u-tokyo.ac.jp/campusmap/cam01_06_01_j.html